



ISW

XA-10060
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of:

Chiaki SHINAGAWA et al.

Appln. No.: 10/815,811

Group Art Unit: 2818

Filed: April 2, 2004

For: MEMORY CARD

* * *

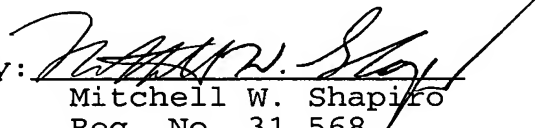
TRANSMITTAL OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of the priority application, Japanese Patent Application No. 2003-103560 filed April 8, 2003.

Respectfully submitted,

By: 
Mitchell W. Shapiro
Reg. No. 31,568

MWS:sjk

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

October 12, 2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 4月 8日
Date of Application:

出願番号 特願2003-103560
Application Number:

[ST. 10/C]: [JP2003-103560]

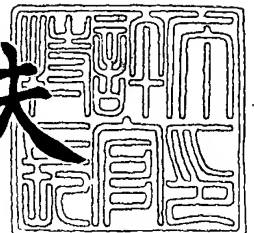
願人 株式会社ルネサステクノロジ
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 4月 9日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 H03000591

【提出日】 平成15年 4月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 3/08

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ
ステクノロジ内

【氏名】 品川 千晶

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ
ステクノロジ内

【氏名】 金森 賢樹

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ
ステクノロジ内

【氏名】 白石 敦

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 03-5217-3960

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 メモリカード

【特許請求の範囲】

【請求項 1】 消去及び書き込み可能な不揮発性メモリと、制御回路とを有し、

前記不揮発性メモリのメモリアレイは、そのメモリ領域の消去単位毎に空き領域か否かを示す第 1 フラグを格納する消去テーブルを有し、

前記メモリアレイは所定のしきい値電圧を持つメモリセルを複数有し、

前記制御回路は、しきい値電圧の変更を行うアドレスを指示する外部からの動作指示に関係なく、空きを示す第 1 フラグに応ずる所定メモリ領域を予め消去するプレ消去制御を行うことを特徴とするメモリカード。

【請求項 2】 空き領域か否かを示す第 1 フラグに応ずるメモリ領域が消去済みか否かを示す第 2 フラグを有し、

前記制御回路は、プレ消去制御において、前記第 1 フラグが空きを示し前記第 2 フラグが未消去を示すメモリ領域を消去処理の対象とすることを特徴とする請求項 1 記載のメモリカード。

【請求項 3】 前記消去テーブルは前記第 1 フラグと共に前記第 2 フラグを保有する領域を有することを特徴とする請求項 2 記載のメモリカード。

【請求項 4】 前記制御回路は、プレ消去制御において、前記消去処理の対象とするメモリ領域に対する消去処理の完了後に対応する第 2 フラグを消去済を示す状態に変更することを特徴とする請求項 3 記載のメモリカード。

【請求項 5】 前記制御回路は、前記第 1 フラグが空きを示し前記第 2 フラグが消去済を示すメモリ領域を書き換えデータを書き込む新たなメモリ領域に割り当てる制御を行うことを特徴とする請求項 4 記載のメモリカード。

【請求項 6】 前記制御回路は、前記新たなメモリ領域にデータを書き込んだ後、対応する第 1 フラグを空きを示す状態に更新することを特徴とする請求項 5 記載のメモリカード。

【請求項 7】 前記不揮発性メモリのメモリアレイは、論理アドレスとメモリ領域の物理アドレスとを対応付けたアドレス変換テーブルを更に有し、

前記制御回路は、前記第 1 フラグ及び第 2 フラグに基いて割り当てられた前記新たなメモリ領域にデータを書き込んだ後、対応する第 1 フラグを空きを示す状態に更新する前に、データを書き込んだメモリ領域の物理アドレスと論理アドレスとを対応付けて前記アドレス変換テーブルを更新することを特徴とする請求項 6 記載のメモリカード。

【請求項 8】 前記制御回路は、前記プレ消去制御を、メモリカードのパワーオンに応答して実行することを特徴とする請求項 1 記載のメモリカード。

【請求項 9】 暗号演算処理回路を更に有し、
前記制御回路は、所定のセキュリティーコマンドに応答する前記暗号演算処理回路による暗号演算処理に並行して、前記プレ消去制御を行うことを特徴とする請求項 1 記載のメモリカード。

【請求項 10】 前記制御回路は、所定の専用コマンドに応答して前記プレ消去制御を行うことを特徴とする請求項 1 記載のメモリカード。

【請求項 11】 前記制御回路は、コマンド処理終了に応答して前記プレ消去制御を開始することを特徴とする請求項 1 記載のメモリカード。

【請求項 12】 前記プレ消去制御による消去動作の開始前又は開始後に別のコマンドによる指示があったときは、当該別のコマンドの処理を優先させることを特徴とする請求項 11 記載のメモリカード。

【請求項 13】 消去及び書き込み可能な不揮発性メモリと、制御回路とを有し、

前記不揮発性メモリのメモリアレイは、そのメモリ領域の消去単位毎に消去可能か否かを示すフラグ情報を格納するフラグ情報領域を備え、所定のしきい値電圧を有する複数のメモリセルを有し、

前記制御回路は、しきい値電圧の変更を行うアドレスを指示するコマンドとは相違するコマンドに応答して前記フラグ情報で示される消去可能なメモリ領域を消去する消去制御を行うことを特徴とするメモリカード。

【請求項 14】 消去及び書き込み可能な不揮発性メモリと、制御回路とを有し、

前記不揮発性メモリのメモリアレイは、そのメモリ領域の消去単位毎に消去可

能か否かを示すフラグ情報を格納するフラグ情報領域領域を有し、

前記制御回路は、外部から供給されるコマンドに応答していない期間に前記フラグ情報で示される消去可能なメモリ領域を消去する消去制御を行うことを特徴とするメモリカード。

【請求項 15】 前記フラグ情報は、メモリ領域の消去単位毎に、空き領域か否かを示す第 1 フラグと、空き領域か否かを示す第 1 フラグに応ずるメモリ領域が消去済みか否かを示す第 2 フラグとの対から成ることを特徴とする請求項 13 又は 14 記載のメモリカード。

【請求項 16】 前記制御回路は、前記消去制御において前記第 1 フラグが空きを示し前記第 2 フラグが未消去を示すメモリ領域を消去処理の対象とすることを特徴とする請求項 15 記載のメモリカード。

【請求項 17】 前記制御回路は、前記消去制御において前記消去処理の対象とするメモリ領域に対する消去処理の完了後に対応する第 2 フラグを消去済を示す状態に変更することを特徴とする請求項 16 記載のメモリカード。

【請求項 18】 前記制御回路は、前記第 1 フラグが空きを示し前記第 2 フラグが消去済みを示すメモリ領域を書き換えデータを書き込む新たなメモリ領域に割り当てる制御を行うことを特徴とする請求項 17 記載のメモリカード。

【請求項 19】 前記制御回路は、前記新たなメモリ領域にデータを書き込んだ後、対応する第 1 フラグを空きを示す状態に更新することを特徴とする請求項 18 記載のメモリカード。

【請求項 20】 前記不揮発性メモリのメモリアレイは、論理アドレスとメモリ領域の物理アドレスとを対応付けたアドレス変換テーブルを更に有し、

前記制御回路は、前記第 1 フラグ及び第 2 フラグに基いて割り当てられた前記新たなメモリ領域にデータを書き込んだ後、対応する第 1 フラグを空きを示す状態に更新する前に、データを書き込んだメモリ領域の物理アドレスと論理アドレスとを対応付けて前記アドレス変換テーブルを更新することを特徴とする請求項 19 記載のメモリカード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、消去及び書き込み可能な不揮発性メモリ、例えばフラッシュメモリを有するメモリカードに関し、その書き込み動作の高速度化に適用して有効な技術に関する。

【0 0 0 2】**【従来の技術】**

フラッシュメモリを搭載したメモリカードの書き込みは、ホスト装置からの書きこみデータをバッファに格納し、書き込みを行なう物理アドレスのセクタを消去した後でデータの書き込みを行う。書き込み前に消去を行うことにより、書き込み対象とされるメモリセルの閾値電圧分の分布を予め望ましい分布に揃えることができる。

【0 0 0 3】

しかしながら、消去中或は書き込み完了前に動作電源が遮断されると、書き込み対象外のセクタデータが消失することがある。即ち、フラッシュメモリ内部の書き込み単位が複数セクタ単位であるとき、一部のセクタだけ書き換えるような場合にも、複数セクタ全部を書き込み処理の対象とするから、不所望な電源遮断によって書き込み単位の複数セクタ全部が消失してしまう。フラッシュメモリの消去処理の一例は特許文献 1 に記載が有る。

【0 0 0 4】**【特許文献 1】**

特開平 1 1 - 3 4 5 4 9 4 号公報

【0 0 0 5】**【発明が解決しようとする課題】**

本発明者は未だ公知ではない先の本出（特願 2 0 0 2 - 2 9 4 0 6 0 号）により、消去及び書き込み処理中に動作電源が遮断されても記憶情報が不所望に消失しないメモリカードを提案している。即ち、メモリカードの記憶管理にそのメモリ領域毎に空き情報フラグを対応付けた消去テーブルを用意し、メモリカードの書き込みでは、消去テーブルの空き情報フラグを参照して書き換えデータを書き込むメモリ領域を決定し、書き換え前のメモリ領域とは異なるメモリ領域にデー

タの書き込みを行うようにすることにより、書き換え後であっても書き換え前のデータは元のメモリ領域に残るようになる。消去途中などで不所望な電源遮断を生じて、元のメモリ領域に残っているデータを利用すれば、データの回復が可能になる。

【 0 0 0 6 】

このようなテーブル方式の書き込みでは、新しいセクタへデータを書き込み、旧データの消去は行わず消去テーブルのみ更新することによって旧データを残すことができる。しかしながら、旧データがそのまま残るので、不要となったデータが書かれているセクタが次第に増え、このセクタに新しいデータを書き込むにはその前に消去を行わなければならない。書き込み処理の前にその都度消去を行っていたのではメモ리카ードの書き込み速度が遅くなってしまう。

【 0 0 0 7 】

本発明の目的は、データの書き込み速度を高速化することができるメモ리카ードを提供することにある。

【 0 0 0 8 】

本発明の別の目的は、消去途中などで不所望な電源遮断を生じててもデータの回復が可能であって、データの書き込み速度を高速化することができるメモ리카ードを提供することにある。

【 0 0 0 9 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【 0 0 1 0 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 1 】

〔 1 〕メモ리카ードは、消去及び書き込み可能な不揮発性メモリと、制御回路とを有する。前記不揮発性メモリのメモリアレイは、そのメモリ領域の消去単位毎に空き領域か否かを示す第 1 フラグを有する消去テーブルを備え、所定のしき

い値電圧を有する複数のメモリセルを有する。前記制御回路は、しきい値電圧の変更を行うアドレスを指示する外部からの動作指示に関係なく、空きを示す第1フラグに応ずる所定メモリ領域を予め消去するプレ消去制御を行う。空きメモリ領域に対して予め消去処理が行われるから、空きメモリ領域を用いる書き込み処理の直前に消去処理を挿入する必要性が低減され、これによって、メモリカードに対するデータの書き込み速度を高速化することができる。

【0012】

本発明の具体的な形態として、空き領域か否かを示す第1フラグに応ずるメモリ領域が消去済みか否かを示す第2フラグを更に有し、前記制御回路は、プレ消去制御において、前記第1フラグが空きを示し前記第2フラグが未消去を示すメモリ領域を消去処理の対象とする。重ねて消去する無駄を排除するためである。前記第2フラグは例えば第1フラグと共に前記消去テーブルが保有する。

【0013】

前記制御回路は、プレ消去制御において、前記消去処理の対象とするメモリ領域に対する消去処理の完了後に対応する第2フラグを消去済を示す状態に変更する。消去済みと未消去を簡単に区別することが可能になる。

【0014】

前記制御回路は、前記第1フラグが空きを示し前記第2フラグが消去済みを示すメモリ領域を書き換えデータを書き込む新たなメモリ領域に割り当てる制御を行う。データの書き換えなどに際し、書き込み元のメモリ領域と異なるメモリ領域を新たな書き込み領域とすることができ、書き込み途中などで不所望な電源遮断等が発生しても、その直後には元のデータは書き込み元のメモリ領域に残るので、消失したデータの復元が可能である。

【0015】

前記制御回路は、前記新たなメモリ領域にデータを書き込んだ後、対応する第1フラグを空きを示す状態に更新する。新たなメモリ領域にデータを書き込む途中で不所望な電源遮断が発生しても元のメモリ領域に元のデータが確実に残ることを保証することができる。

【0016】

前記不揮発性メモリのメモリアレイは、論理アドレスとメモリ領域の物理アドレスとを対応付けたアドレス変換テーブルを更に有し、前記制御回路は、前記第 1 フラグ及び第 2 フラグに基いて割り当てられた前記新たなメモリ領域にデータを書き込んだ後、対応する第 1 フラグを空きを示す状態に更新する前に、データを書き込んだメモリ領域の物理アドレスと論理アドレスとを対応付けて前記アドレス変換テーブルを更新する。データ回復のために元のメモリ領域を検索可能にすることを保証することができる。

【0017】

〔2〕前記プレ消去制御へ移行するトリガとして例えば以下の形態がある。第 1 は、メモリカードのパワーオンに応答して前記プレ消去制御を実行する。第 2 は、所定のセキュリティーコマンドに応答する暗号演算処理回路による暗号化処理又は復号処理に並行して、前記プレ消去制御を行う。この前提としてメモリカードは I C カードに採用されるような暗号演算処理回路を有する。第 3 は、所定の専用コマンドに応答して前記プレ消去制御を行う。専用コマンドとは消去対象アドレスを指定して行う単なる消去コマンドとは相違される。ここで言う専用コマンドは消去対象アドレスの指定を伴わない。第 4 は、コマンド処理終了に응答して前記プレ消去制御を開始する。前記プレ消去制御による消去動作の開始前又は開始後に別のコマンドによる指示があったときはプレ消去制御による処理を打ち切って、当該別のコマンドの処理を優先させる。読み出しなどの優先度の高い処理が遅れないようにするためである。

【0018】

〔3〕本発明の別の観点によるメモリカードは、しきい値電圧を変更するアドレスの指定を伴うコマンドとは相違するコマンドに응答して消去可能な領域を消去するという観点を備え、消去及び書き込み可能な不揮発性メモリと、制御回路とを有し、前記不揮発性メモリのメモリアレイは、そのメモリ領域の消去単位毎に消去可能か否かを示すフラグ情報を格納するフラグ情報領域を備え、前記制御回路は、しきい値電圧を変更するアドレスの指定を伴うコマンドとは相違するコマンドに응答して前記フラグ情報で示される消去可能なメモリ領域を消去する消去制御を行う。

【0019】

本発明の更に別の観点によるメモリカードは、ホストからのコマンドに 응답していない期間に消去可能な領域を消去するという観点を備え、消去及び書き込み可能な不揮発性メモリと、制御回路とを有し、前記不揮発性メモリのメモリアレイは、そのメモリ領域の消去単位毎に消去可能か否かを示すフラグ情報を格納するフラグ情報領域を備え、前記制御回路は、外部から供給されるコマンドに 응답していない期間に前記フラグ情報で示される消去可能なメモリ領域を消去する。

【0020】

上記何れの観点によるメモリカードも、消去可能なメモリ領域に対して予め消去処理を行うから、書き込み処理の直前に消去処理を挿入する必要性が低減され、これによって、メモリカードに対するデータの書き込み速度を高速化することができる。

【0021】

上記発明の具体的な形態として、前記フラグ情報は、メモリ領域の消去単位毎に、空き領域か否かを示す第1フラグと、空き領域か否かを示す第1フラグに応ずるメモリ領域が消去済みか否かを示す第2フラグとの対から成る。

【0022】

このとき、前記制御回路は、前記消去制御において前記第1フラグが空きを示し前記第2フラグが未消去を示すメモリ領域を消去処理の対象とする。重ねて消去する無駄を排除するためである。

【0023】

前記制御回路は、前記消去制御において前記消去処理の対象とするメモリ領域に対する消去処理の完了後に対応する第2フラグを消去済を示す状態に変更する。消去済みと未消去を簡単に区別することが可能になる。

【0024】

前記制御回路は、前記第1フラグが空きを示し前記第2フラグが消去済を示すメモリ領域を書き換えデータを書き込む新たなメモリ領域に割り当てる制御を行う。データの書き換えなどに際し、書き込み元のメモリ領域と異なるメモリ領

域を新たな書き込み領域とすることができ、書き込み途中などで不所望な電源遮断等が発生しても、その直後には元のデータは書き込み元のメモリ領域に残るので、消失したデータの復元が可能である。

【0025】

前記制御回路は、前記新たなメモリ領域にデータを書き込んだ後、対応する第1フラグを空きを示す状態に更新する。新たなメモリ領域にデータを書き込む途中で不所望な電源遮断が発生しても元のメモリ領域に元のデータが確実に残ることを保証することができる。

【0026】

前記不揮発性メモリのメモリアレイは、論理アドレスとメモリ領域の物理アドレスとを対応付けたアドレス変換テーブルを更に有し、前記制御回路は、前記第1フラグ及び第2フラグに基いて割り当てられた前記新たなメモリ領域にデータを書き込んだ後、対応する第1フラグを空きを示す状態に更新する前に、データを書き込んだメモリ領域の物理アドレスと論理アドレスとを対応付けて前記アドレス変換テーブルを更新する。データ回復のために元のメモリ領域を検索可能にすることを保証することができる。

【0027】

【発明の実施の形態】

《メモリカード》

図1には本発明に係るメモリカードの一例が示される。メモリカード1は消去及び書き込み可能な不揮発性メモリ例えばフラッシュメモリ2と、DRAM (Dynamic Random Access memory) 又はSRAM (Static Random Access Memory) 等から成るバッファメモリ4と、メモリ制御及び外部インタフェース制御を行うカードコントローラ5とを、実装基板に備えて成る。

【0028】

前記バッファメモリ4及びフラッシュメモリ2はカードコントローラ5のアクセス制御を受ける。前記フラッシュメモリ2は、特に図示はしないが、電氣的に消去及び書き込み可能な不揮発性メモリセルトランジスタが多数マトリクス配置されたメモリアレイARYを有する。メモリセルトランジスタ（フラッシュメモ

リセルとも記す)は、特に図示はしないが、半導体基板若しくはウェル内に形成されたソース及びドレイン、前記ソースとドレインとの間のチャンネル領域にトンネル酸化膜を介して形成されたフローティングゲート、そしてフローティングゲートに層間絶縁膜を介して重ねられたコントロールゲートによって構成される。コントロールゲートは対応するワード線に、ドレインは対応するビット線に、ソースはソース線に接続される。前記メモリセルトランジスタは、前記フローティングゲートに電子が注入されると閾値電圧が上昇し、また、前記フローティングゲートから電子を引き抜くと閾値電圧が低下する。前記メモリセルトランジスタは、データ読み出しのためのワード線電圧(コントロールゲート印加電圧)に対する閾値電圧の高低に応じた情報を記憶することになる。特に制限されないが、本明細書においてメモリセルトランジスタの閾値電圧が低い状態を消去状態、高い状態を書き込み状態と称する。

【0029】

図1において、前記カードコントローラ5は、例えばホストコンピュータ(ホスト装置)6との間でIDEディスクインタフェース仕様などに従った外部インタフェース制御を行う。カードコントローラ5は、ホストコンピュータ6からの指示に従って、フラッシュメモリ2をアクセスするアクセス制御機能を有する。このアクセス制御機能はハードディスク互換の制御機能であり、例えばホストコンピュータ6がセクタデータの集合をファイルデータとして管理するとき、カードコントローラ5は論理アドレスとしてのセクタアドレスと物理メモリアドレスとを対応させてフラッシュメモリ2のアクセス制御を行う。図1に従えば、前記カードコントローラ5は、ホストインタフェース回路10、演算制御手段としてのマイクロプロセッサ(MPU)11、フラッシュコントローラ12、及びバッファコントローラ13から成る。前記フラッシュコントローラ12は図示を省略するECC回路を備える。

【0030】

前記MPU11は、CPU(Central Processing Unit)15、プログラムメモリ(PGM)16及びワークRAM(WRAM)17などを有し、カードコントローラ5を全体的に制御する。プログラムメモリ16はCPU15の動作プロ

グラムなどを保有する。

【0031】

前記ホストインタフェース回路10は、ATA (AT Attachment)、IDE (Integrated Device Electronics)、SCSI (Small Computer System Interface)、MMC (MultiMediaCard)、PCMCIA (Personal Computer Memory Card International Association) 等 (これら名称には登録商標も含まれている) の所定のプロトコルに従って、パーソナルコンピュータ又はワークステーションなどのホストコンピュータ6とインタフェースを行う回路である。ホストインタフェース動作の制御はMPU11が行う。

【0032】

前記バッファコントローラ13はMPU11から与えられるアクセス指示に従って、バッファメモリ4のメモリアクセス動作を制御する。バッファメモリ4にはホストインタフェース10に入力されたデータ、又はホストインタフェース10から出力するデータが一時的に保持される。また、バッファメモリ4には、フラッシュメモリ2から読み出されたデータ又はフラッシュメモリ2に書き込まれるデータが一時的に保持される。

【0033】

フラッシュコントローラ12はMPU11から与えられるアクセス指示に従って、フラッシュメモリ2に対する、読み出し動作、消去動作及び書き込み動作を制御する。フラッシュコントローラ12は、読み出し動作において読み出しコマンドコードや読み出しアドレス情報等の読み出し制御情報を出力し、書き込み動作において書き込みコマンドコード及び書き込みアドレス情報などの書き込み制御情報を出力し、消去動作において消去コマンド等の消去制御情報を出力する。図示を省略するECC回路は、MPU11から与えられる指示に従って、フラッシュメモリ2に書き込むデータに対してエラー訂正符号 (エラー訂正コード) を生成して、書き込みデータに付加する。また、フラッシュメモリ2から読み出された読み出しデータを当該読み出しデータに付加されているエラー訂正符号を用いてエラー検出・訂正処理を行い、そのエラー訂正能力範囲のエラー発生に対してエラー訂正を行う。

【0034】

フラッシュメモリ 2 はそのメモリアレイ A R Y の一部に消去テーブル部 2 0 及びアドレス変換テーブル部 2 1 を有する。

【0035】

図 2 にはフラッシュメモリ 2 の記憶領域が例示される。フラッシュメモリ 2 の記憶領域（メモリアレイ A R Y）は、前記消去テーブル部 2 0、アドレス変換テーブル部 2 1 及びユーザエリア 2 2、消去テーブル部とアドレス変換テーブル部を更新するときに必要となる空きブロック領域 2 3 に大別される。各領域はメモリブロック（メモリセクタ）単位で物理アドレスとしてのブロックアドレスが与えられる。前記メモリブロックを単にブロックとも記す。特に制限されないが 1 ブロックは約 2 K B（キロバイト）の記憶容量を有し、その 1 ブロックに含まれるメモリセルアレイは 1 本のワード線又は 1 種類のワード線選択信号で選択され、消去処理及び書き込み処理の単位とされる。即ち、ここでは消去処理や書き込み処理に必要な高電圧がワード線単位で印加される。この 1 ブロックは H D D などのストレージにおける書き換え単位とされるセクタ（ストレージセクタ）の容量 5 1 2 B（バイト）よりも大きい。例えば 1 ブロックは 4 ストレージセクタ分に E C C コード及び管理領域を合わせた記憶容量を有する。

【0036】

前記消去テーブル部 2 0 とアドレス変換テーブル部 2 1 のそれぞれは、特に制限されないが、1 ブロック単位で分割配置され、各分割単位はその 1 ブロック内で多重化される。例えば消去テーブル部 2 0 はブロックアドレス 0 x 0 0 0 0 ~ 0 x 0 0 0 F に配置され、0 x 0 0 0 0 のように 1 ブロックを一単位としてブロック毎に分割される。アドレス変換テーブル部 2 1 はブロックアドレス 0 x 0 0 1 0 ~ 0 x 0 0 1 F に配置され、0 x 0 0 1 0 のように 1 ブロックを一単位としてブロック毎に分割される。

【0037】

《アドレス変換テーブル》

図 3 にはアドレス変換テーブル部 2 1 の一部、例えばブロックアドレス B A 5 5 に配置されたアドレス変換テーブルブロックの詳細が例示される。A T T で示

されるものが分割された一つのアドレス変換テーブルであり、図では“消去済”と記載された領域を併せて4重に多重化されている。多重化された4個のアドレス変換テーブルはその内の1個が順番に有効とされる。分割されたアドレス変換テーブルA T Tは、4個のストレージセクタに相当する論理アドレス毎に、対応するメモリセクタの物理アドレス即ち1個のブロックアドレスを対応付けた情報を保有する。例えば、アドレス変換テーブルA T Tの先頭から順番に、論理アドレスL B A 0～3にはブロックアドレスB A mが対応付けられ、論理アドレスL B A 4～7にはブロックアドレスB A nが対応付けられる、というような形式で、論理アドレスと物理アドレスとを対応付けた情報が格納される。アドレス変換テーブルにおける論理アドレス情報は例えば昇順で配置される。降順であってもよい。図3において、ブロックアドレスB A m, B A n等のメモリブロックアドレスは、連続した論理アドレス4セクタに対応されるメモリブロックのアドレスを意味し、例えば15ビットを有する。ここでは、メモリブロックのアドレス毎に1ビットのライトプロテクトビットW Pが付加されている。ホストコンピュータ6からメモリカード1に対するアクセス指示にはアクセス対象セクタのアドレス（論理セクタアドレス又は論理アドレスとも称する）が指定されており、この論理セクタアドレスを検索キーとして、対応するブロックアドレスをアドレス変換テーブルを用いて検索する。

【0038】

《消去テーブル》

図4には消去テーブル部20の一部、例えばブロックアドレスB A 0に配置された消去テーブルブロックの詳細が例示される。E Tで示されるものが分割された一つの消去テーブルであり、図では“消去済”と記載された領域を併せて4重に多重化されている。多重化された4個の消去テーブルE Tはその内の1個が順番に有効とされる。分割された消去テーブルE Tは、メモリ領域の物理アドレス即ちブロックアドレス毎に空き情報フラグ（第1フラグ）と消去済みフラグ（第2フラグ）が対応付けられている。要するに、消去テーブルE Tの先頭から順番に2ビット単位で、先頭ブロック（ブロックアドレスB A 0）の空き情報フラグF L G 1と消去済みフラグF L G 2、次ブロック（ブロックアドレスB A 1）の

空き情報フラグ F L G 1 と消去済みフラグ F L G 2 というように、順次フラグ F L G 1, F L G 2 のビットで埋められている。空き情報フラグ F L G 1 は 1 ビットで対応ブロックの消去許可又は不許可を示す。“1”は消去許可、“0”は消去不許可を示す。消去済みフラグ F L G 2 は 1 ビットで対応ブロックの消去済み又は未消去を示す。“1”は消去済み、“0”は未消去を示す。消去テーブルにおける空き情報フラグ F L G 1 及び消去済みフラグ F L G 2 の配列はブロックアドレス（物理アドレス）の昇順で配置される。降順であってもよい。対応する 2 ビットのフラグ F L G 1, F L G 2 による状態は、F L G 2 = 1 及び F L G 1 = 1 による消去済みメモリブロック（利用可能メモリブロック）、F L G 2 = 0, F L G 1 = 1 による消去可メモリブロック（消去可能データを含む未消去メモリブロック）、F L G 2 = 0, F L G 1 = 0 による消去不可メモリブロック（有効データを含む使用中のメモリブロック）の 3 態様とされる。

【0039】

多重化された 4 個のテーブル（消去テーブル E T、アドレス変換テーブル A T T）の内の 1 個を順番に有効とする制御手法について説明する。多重化された有効なテーブルは各ブロックの管理領域に割当てられた更新フラグによって識別する。更新フラグは分割テーブルに対応させて各メモリブロックに 4 ビットあり、対応分割テーブルが有効にされたとき“1”にされ、消去されるまでその状態を維持する。メモリブロックで多重化された分割テーブルは順次選択される。選択方向先頭で更新フラグが“1”と“0”の境界になっている地点が検索されることにより、当該“1”の更新フラグに対応する分割テーブルが有効になる。有効な分割テーブルの位置を変更するのはテーブル内容を更新するときに行う。テーブル更新は追加書込みによって行う。要するに、消去を行わず、新たにデータを追加する部分以外をマスクして（書込み非選択として）書込みを行う。一つのメモリブロックの 4 ビットの更新フラグが全部“1”にされている状態からテーブルを更新するときは、空きブロック領域 23 にあるブロックに書き換えを行い、当該テーブルを新しく作成し、元のテーブルは空きブロックとして再利用する。この処理により、テーブル上の同じ不揮発性メモリセルが繰り返し書き換えに供される頻度を低減している。

【 0 0 4 0 】

《書き込み動作》

図 5 には前記消去テーブル 2 0 及びアドレス変換テーブル 2 1 を利用したメモリカードの書き込み動作の処理フローが例示される。図 6 及び図 7 には図 5 の処理における主なデータの流れ等が図示される。

【 0 0 4 1 】

ホストコンピュータ 6 からバッファメモリ 4 に例えば 5 1 2 バイトの書き込みデータが供給される (S 1)。その書き込みデータに対するライトアクセスの指示があると、カードコントローラ 5 は書き込み対象の論理アドレス L B A (論理セクタアドレス) に対応するブロックアドレスが格納されているアドレス変換テーブル A T T をフラッシュメモリ 2 からバッファメモリ 4 のアドレス変換テーブルバッファに格納する (S 2)。即ち、アドレス変換テーブル部 2 1 をインデックスする論理アドレス情報は昇順配置だから、論理アドレス L B A に従って、所要のアドレス変換テーブルが配置されるメモリブロックを選ぶ。選んだメモリブロックに対しその管理領域を先ずリードして、多重化されている中から有効なアドレス変換テーブル A T T の所在を把握し、これに基づいてアドレス変換テーブル A T T をリードする。リードしたアドレス変換テーブルを検索することによりライト対象の論理アドレスに現在対応するブロックアドレス (原ブロックアドレスと称する) O B A を取得する。

【 0 0 4 2 】

カードコントローラ 5 は、原ブロックアドレス O B A に格納されているデータの内から書換ええないデータを読み出してバッファメモリ 4 のデータバッファに格納し、ホストコンピュータ 6 からのライトデータと組合わせる (S 3)。例えばライトデータが 1 ストレージセクタ分のデータ S D m であるなら、原ブロックアドレス O B A からは 3 ストレージセクタ分のデータ S D i , S D j , S D k をリードし、合わせて 4 ストレージセクタ分のデータを書き換えデータとする。

【 0 0 4 3 】

次にカードコントローラ 5 は、原ブロックアドレス O B A に対応する消去テーブル (以下原消去テーブルと称する) E T をバッファメモリ 4 の原消去テーブル

バッファにリードする（S 4）。リードされる消去テーブルは一つの消去テーブルブロック内で多重化されている 4 個の消去テーブル内の有効な一つである。ここでは、前述の通り、分割配置された一つの消去テーブルは多重化されており、前記管理領域内の更新フラグの状態を参照して多重化されている中の一つの消去テーブルをリードする。

【 0 0 4 4 】

次に、マイクロプロセッサ 1 1 はデータ書き換え後に使用する消去テーブル（新消去テーブル）をバッファメモリ 4 に格納する制御を行う（S 5）。例えば、マイクロプロセッサ 1 1 はプログラム ROM 1 6 内の疑似乱数発生プログラムを実行して、書込みデータの書込み先となるブロックアドレス（新ブロックアドレス）を取得するための検索開始ブロックアドレスを求める。カードコントローラ 5 は、このようにして得られた検索開始ブロックアドレスに対応した新消去テーブルをバッファメモリ 4 に格納する。この場合も上記同様に、消去テーブルブロック内で多重化されている一つの有効な消去テーブルをバッファメモリ 4 に格納する。

【 0 0 4 5 】

そして、メモリコントローラ 5 はバッファメモリ 4 に格納した新消去テーブルから使用可能な新ブロックアドレス（NBA）を検索する（S 6）。即ち、メモリバッファ 4 にリードした新消去テーブル E T の疑似乱数発生プログラムを実行して取得した検索開始ブロックアドレスから昇順又は降順に空き情報フラグ F L G 1 と消去済みフラグ F L G 2 を調べ、対を成す双方のフラグ F L G 1, F L G 2 が共に値 “1” となる最初の位置に応ずるブロックアドレスを使用許可され且つ消去済みブロックの新ブロックアドレス NBA とする。

【 0 0 4 6 】

新ブロックアドレス NBA は既に消去処理が行われている。詳細は後述するが、書き込み及び消去とは相違するコマンドに応答して、或はホストコンピュータから供給されるコマンドに응答していない期間に、プレ消去制御による消去処理で予め消去可能データ消去が行なわれている。従って、前記新ブロックアドレス NBA が取得されると、即座に、新ブロックアドレスのメモリブロックに対して

、前記ステップS 2で生成された書き換えデータによって書き込み処理を行う（S 7）。書き込み処理に対して書き込み成功か否かが判定される。書き込み不成功であれば、そのときのバッファメモリ 4 にリードされている新消去テーブル上で、当該書き込みエラーに係る新ブロックアドレスに対応する空きフラグ F L G 1 を消去不許可の状態“0”に変更し、前記ステップS 6に戻って、前記新消去テーブルから消去許可な別のブロックアドレスを検索して、途中から処理をやり直す。

【0047】

ステップS 7の書き込みが成功と判別されたときは、先ず、バッファメモリ 4 にリードされている新消去テーブル上で、新ブロックアドレスに対応する空き情報フラグ F L G 1 を消去不可に、消去済みフラグ F L G 2 を未消去に設定し、変更した新消去テーブルのデータを書き換えデータとして、フラッシュメモリ 2 上の当該新消去テーブルのメモリブロックに書き込む（S 8）。次に、バッファメモリ 4 にリードされている前記アドレス変換テーブル A T T 上で、今回のアクセス対象論理アドレスに対応するブロックアドレスを、原ブロックアドレス O B A から新ブロックアドレス N B A に変更し、変更したアドレス変換テーブルのデータを書き換えデータとして、フラッシュメモリ 2 上の当該アドレス変換テーブルのメモリブロックに書き込む（S 9）。最後に、バッファメモリ 4 にリードされている原消去テーブル上で、原ブロックアドレスに対応する空き情報フラグ F L G 1 を消去可能に設定し、変更した原消去テーブルのデータを書き換えデータとして、フラッシュメモリ 2 上の当該原消去テーブルのメモリブロックに書き込む（S 10）。

【0048】

ここで、図6では原ブロックアドレスのブロックデータにセクタデータ S D h , S D i , S D j , S D k が含まれ、新ブロックアドレス N B A 上では、その内のセクタデータ S D h がホストコンピュータ 6 からライトアクセスによりセクタデータ S D m に書き換えられるものとする。

【0049】

図6及び図7からも明らかなように、ステップS 7にて新ブロックアドレス N

BAのメモリブロックに書き換えデータSDm, SDi, SDj, SDkを書き込んでも(S7)、原ブロックアドレスOBAのメモリブロックには書き換え前のデータSDh, SDi, SDj, SDkがそのまま残っている。フラッシュメモリ2上では原消去テーブル及びアドレス変換テーブルもそのままである。したがって、ステップS7の書き込みが完了する前にメモリカード1がカードスロットから引き抜かれたり、ホストコンピュータ6の動作時電源電圧が不安定となったりして動作電源が遮断されても、前のデータはそのまま残る。書き換えデータが書き込まれるメモリブロックは、書き換えられる元のデータのメモリブロックとは相違されるからである。更にステップS7の書き換えデータの書き込みが終わった後、先ず、新ブロックアドレスNBAを消去不許可に設定した新消去テーブルをフラッシュメモリ2に書き戻す(S8)。ステップS8の処理完了により、新ブロックアドレスNBAに書き込まれたデータの不所望な消去防止が保証される。次に原ブロックアドレスOBAが新ブロックアドレスNBAに変更されたアドレス変換テーブルがフラッシュメモリ2に書き戻される(S9)。これによって新ブロックアドレスへのアクセスが可能にされる。設定変更された原消去テーブルの書き戻しは最後に行われ(S10)、これが完了されることにより、原ブロックアドレスOBAのメモリブロックデータは消去許可になる。電源遮断によってステップS10の処理が中断しても、原ブロックアドレスのメモリブロックが再利用不可能になり有効な記憶領域サイズの減少をもたらすこととなるが、必要なデータアクセスに支障は生じない。

【0050】

上記より明らかなように前記ステップS8, S9, S10の処理順は不所望な電源遮断によるデータ消失の防止を徹底させ、且つ記憶情報管理の論理整合を採り易くする意味において重要である。即ち、先ず、新ブロックアドレスのデータを消去不許可にして保護する処理(S8)を行った後に、原ブロックアドレスに残っているデータを容易に取り出せなくする処理(S9)、そして原ブロックアドレスに残っているデータを消去許可とする処理(S10)を行う。例えばS8の処理とS10の処理の順番を入れ替えて、先にS10の処理を完了すると、新ブロックアドレスと原ブロックアドレスの双方に対して消去を許容する状態が発

生し、このまま電源の遮断が発生すれば、その後に前記双方に対する消去許容態が維持され、必要なデータが不所望に消去される虞を生ずる。

【0051】

《プレ消去制御》

プレ消去制御によって消去可能データ消去を行うタイミングについて説明する。

【0052】

第1は、パワーオン動作の一貫として消去可能データ消去を行う場合である。図8にはメモ리카ードのパワーオン動作に応答して前記プレ消去制御を実行するときのフローチャートが例示される。メモ리카ード1に電源が投入されると、CPU15内のレジスタ初期化(S20)と、ホストインタフェース回路10、フラッシュコントローラ12、及びバッファコントローラ13に対するレジスタ初期化(S21)を行う。そしてメモ리카ード1に実装されているフラッシュメモリ2を確認し(S22)、フラッシュメモリ2からシステム情報をリードする(S23)。次に、フラッシュメモリ2上におけるアドレス変換テーブルの格納先頭アドレスを取得してワークRAM17に格納する(S24)。同様にフラッシュメモリ2上における前記消去テーブルの格納先頭アドレスを取得してワークRAM17に格納する(S25)。その後のタイミングで、カードコントローラ5はメモリブロックの消去可能データを消去する(S26)。消去手順については後で説明する。

【0053】

第2は、専用コマンドに応答して消去可能データ消去を行う場合である。図9には所定の専用コマンド(CMDX)に응答して消去可能データの消去(プレ消去)を行うときの動作タイミングチャートが例示される。ホストコンピュータ6から書き込みコマンドCMD24が発行されると、そのコマンドに응答してカードコントローラ5はフラッシュメモリ2に対する書き込みを行う(フラッシュ・ライト)。ホストコンピュータ6はカードコントローラ5からのコマンドに対する응答を待つ(レスポンス)。カードコントローラ5は書き込みに続いて空きチェックの処理を行う。空きチェックとは、消去テーブル部20を用いて消去許可

され（FLG1＝“1”）且つ未消去（FLG2＝“0”）のメモリブロックの多少を判別する処理である。ホストコンピュータ6は空きチェックの時間が経過したところで、ステータスリードコマンドCMD13をカードコントローラ5に発行する。カードコントローラ5は空きチェック結果を出力し、ホストコンピュータ6はこれをレスポンスとして受取る。例えば、消去許可且つ未消去メモリブロックが多い、という空きチェック結果を受取った場合、ホストコンピュータ6がカードコントローラ5へプレ消去コマンドCMDXを発行する。このプレ消去コマンドCMDXはプレ消去の専用コマンドであり、消去対象アドレスを指定して行う単なる消去コマンドとは相違される。プレ消去コマンドCMDXは消去対象アドレスの指定を伴わない。

【0054】

例えば、消去可能且つ、未消去メモリブロックが多いことを空きチェックで得た場合、カードコントローラ5からホストコンピュータ6へプレ消去コマンドCMDXの発行を要求し、ホストコンピュータ6がカードコントローラ5へプレ消去コマンドCMDXを発行する。

【0055】

カードコントローラ5はプレ消去コマンドに応答してメモリブロックの消去可能データを消去する。消去手順については後に説明する。プレ消去中にホストコンピュータ6からアクセスコマンド等（例えばリードコマンドCMD17）が発行されると、カードコントローラ5は消去可能データの消去処理を中止し、当該アクセスコマンドに応答する処理に移行する。ホストコンピュータ6からリードやライトのアクセス要求を待たせないようにするためである。

【0056】

図10には図9で説明した前記ライト要求からプレ消去に至る処理のフローチャートが例示される。カードコントローラ5はホストコンピュータ6からのコマンドを受付け可能な状態にされ（S30）、この状態でホストコンピュータ6からライトコマンド（CMD24）を受付けると（S31）、前述のようにライト対象アドレスに応じて原消去テーブル等をフラッシュメモリ2からバッファメモリ4に格納し（S32）、新消去テーブルを用いて検索されたブロックにデータ

の書き込みを行う (S 3 3)。この後、空きチェックの処理に入り、書き込みで用いた原消去テーブルを参照して、消去許可 (F L G 1 = “1”) のブロックを検索し、その中で消去可能データを保持しているブロックの多少を判定する (S 3 4)。要するに、消去許可 (F L G 1 = “1”) 且つ未消去 (F L G 2 = “0”) のブロックが多いか否かを判定する (S 3 5)。例えば、多いとする判定は、全体の 20% 以上有った場合とする。多ければ、ステータスリードコマンド C M D 1 3 に対するレスポンスでその結果をホストコンピュータ 6 に返す (S 3 6)。消去可能データが多い場合 (S 3 7 に Y E S)、ホストコンピュータ 6 はプレ消去コマンド (C M D 0) を発行し (S 3 8)、カードコントローラ 5 はこれに応答して前記検索した原消去テーブルを用いてプレ消去を行う (S 3 9)。消去可能データが少ない場合 (S 3 7 に N O)、ホストコンピュータ 6 はプレ消去コマンド C M D X を発行することなく処理を終了する。

【0057】

第 3 はコマンド処理の終了に応答して消去可能データ消去を行う場合である。図 1 1 にはコマンド処理終了に応答して、即ち、すなわちスリープ状態に入る前に、前記プレ消去を開始する場合のフローチャートが例示される。カードコントローラ 5 はホストコンピュータ 6 からのコマンドを受付け可能な状態にされ (S 4 0)、この状態でホストコンピュータ 6 からコマンド例えばライトコマンド (C M D 2 4) を受け付けると (S 4 1)、前述のようにライト対象アドレスに応じて原消去テーブル等をフラッシュメモリ 2 からバッファメモリ 4 に格納し (S 4 2)、新消去テーブルを用いて検索されたブロックにデータの書き込みを行う (S 4 3)。通常はこれでコマンド処理を終了してスリープ状態に入るが、コマンド処理終了後に、プレ消去を行うために、書き込みで用いたバッファメモリ上の原消去テーブルを参照して、消去許可 (F L G 1 = “1”) 且つ未消去 (F L G 2 = “0”) のブロックを検索し (S 4 4)、検索結果に基づいてメモリブロックに対するプレ消去を行う (S 4 5)。プレ消去の後、スリープ状態に入る (S 4 6)。特に図示はしないが、複数のメモリブロックに対し順次消去処理を行っている途中で、別のアクセスコマンドによる動作指示があったときは、現在消去中のメモリブロックに対する処理を完了した後、プレ消去を中止し、当該別のア

クセスコマンドの処理を優先させる。読み出しなどの優先度の高い処理が遅れないようにするためである。

【0058】

第4は、セキュリティーコマンドに応答する暗号演算処理に並行して消去可能データ消去を行う場合である。図12にはセキュリティー機能を内蔵したメモリカード1Aが例示される。図1のメモリカードに対し、ICカード用マイクロコンピュータ（ICカードマイコンとも称する）30とインタフェースコントローラ31とを追加して成る。ICカードマイコン30は、図示を省略するCPU（中央処理装置）、暗号演算器、RAM（ランダムアクセスメモリ）、ROM（リードオンリメモリ）及びI/O（入出力回路）を有し、ICカードに搭載される1チップのマイクロコンピュータによって構成される。ICカードマイコン30は認証を受けたID情報やパスワード等の認証情報が格納され、個人情報へのアクセス或は金融機関などへのアクセスに際して、アクセスの正当性がその認証情報等に基づいて判定可能にされる。そして、メモリカードの外部とは暗号化した情報を入出力可能とするように、図示を省略する前記暗号演算器などを用いて暗号化及び復号の暗号演算処理を行うようになっている。ICカードマイコン30の入出力インタフェース仕様はICカードの仕様に準拠しており、これをカード内でインタフェースできるようにインタフェースコントローラ31が制御する。インタフェースコントローラ31及びICカードマイコン30に対する動作指示はマイクロプロセッサ11が行う。その他の構成は図1と同じである。

【0059】

図13には暗号演算処理に並行して消去可能データの消去を行う動作のフローチャートが示される。パワーオンに同期して図8で説明したカード初期化処理が行われ（S50）、メモリカード1Aはコマンド受付可能状態にされる（S51）。このとき、カードコントローラ5がCMD51で代表されるセキュリティーコマンドを受付けると（S52）、マイクロプロセッサ11はICカードマイコン30に暗号演算処理を実行させ（S53）、これに並行してフラッシュコントローラ12に前記消去可能データの消去処理を実行させる（S54）。

【0060】

図14には図13の動作のタイミングチャートが例示される。ホストコンピュータ6がセキュリティーコマンドCMD51を発行すると、カードコントローラ5はそのコマンドを解析し、ICカードマイコン30に所定のICカードコマンドを発行する。これによってICカードマイコン30は暗号化又は復号等の暗号演算処理を行う。暗号演算処理には暗号化のセキュリティーレベルに応じて比較的長い演算処理時間を要する。この間、ホストコンピュータ6はICカードコマンドに対する応答データを待ち、フラッシュメモリ2では消去可能データの消去処理が並行される。

【0061】

《消去可能データ消去処理手順》

図15には消去可能データの消去処理（図8のステップS26、図10のステップS39、図11のステップS45、図13のステップS54）の詳細な手順が例示される。先ず、所定の消去テーブルをバッファメモリ4に格納する（S60）。図8のパワーオンに同期する消去処理の場合、どの消去テーブルをバッファメモリ4に格納するかは例えばランダム論理で決めれば良い。図10の書き込みに続いて空きチェックを行った後の場合には空きチェックで利用した消去テーブルを対象とする。図11のスリープに入る前に行う場合に、書き込み後は原消去ブロックを対象とし、それ以外のコマンド処理の後では例えばランダム論理で決めれば良い。

【0062】

消去可能データ消去処理による消去回数（若しくは消去メモリブロック数）は回数カウンタ*i*で計数する。最初、回数カウンタ*i*は0に初期化される（S61）。最大消去回数は固定値として、或はコマンドによりパラメータで与えられる。回数カウンタ*i*の値が最大消去回数よりも小さければ消去テーブルから消去可能アドレス、即ち消去許可（FLG1＝“1”）且つ未消去（FLG2＝“0”）のブロックアドレスを検索する。検索されたブロックアドレスの消去を開始する前にホストコンピュータ6からアクセスコマンドが発行されていないかを判別する（S64）。発行されていないければ、検索されたブロックアドレスの消去を行う（S56）。消去後、消去テーブルの対応ブロックアドレスの第2フラグF

FLG2を“1”にセットして消去済みに変更する(S66)。この後、回数カウンタ*i*を+1インクリメントし、ステップS62に戻って上記処理を繰返す。

【0063】

ステップS62で回数カウンタ*i*の値が最大消去回数に到達すると、バッファメモリ4上の消去テーブルをフラッシュメモリ2に書き戻して(S68)、処理を終了する。ステップS64でホストコンピュータ6からのコマンド発行を検出したときは、バッファメモリ4上の消去テーブルをフラッシュメモリ2に書き戻して(S69)、新たなコマンドの処理に移行する(S70)。

【0064】

図16には消去済みフラグFLG2を各メモリブロックの管理領域の1ビットに割当ててる場合のメモリアレイARYが例示される。このとき消去テーブルはブロックアドレス毎に1ビットの空き情報フラグFLG1を対応させて構成される。FLG2=1, FLG1=1は消去済み(利用可能メモリブロック)、FLG2=0, FLG1=1は消去可(消去可能データを含む未消去メモリブロック)、FLG2=0, FLG1=0は消去不可(有効データを含む使用中のメモリブロック)を示す。

【0065】

図17には管理領域に消去済みフラグFLG2をセットする形態を採用したときの前記消去可能データ消去処理手順が例示される。図15の処理手順との相違点は以下の通りである。消去可能アドレスの検索は消去テーブルのFLG1だけで行う(S72)。したがって、消去済み及び消去可双方のメモリブロックが検索される。検索されたメモリブロックに対し、その管理情報をリードし(S73)、FLG2から消去済みか否かを判定する(S75)。消去済みのメモリブロックに対して消去を行う(S65)。FLG2はメモリブロックの管理領域に配置されるので、消去毎に当該メモリブロックのFLG2を消去済みにセットし(S76)、図15のS68, S69のような消去テーブルをフラッシュメモリに書き戻す処理は必要とされない。ホストコンピュータからのコマンド発行の有無はS64, S74で2回検出する。その他の処理は図15と同じである。

【0066】

《読み出し動作》

図 18 にはアドレス変換テーブル部 21 を利用したメモリカードの読み出し動作の処理フローが例示される。ホストコンピュータ 6 からリードコマンドが発行されると、カードコントローラ 5 は論理アドレス LBA（論理セクタアドレス）に対応するブロックアドレスが格納されているアドレス変換テーブル ATT をバッファメモリ 4 のアドレス変換テーブルバッファにリードする（S80）。このときに、アドレス変換テーブル部 21 においてそれをインデックスする論理アドレス情報は昇順配置だから、先ずそれに従って、アドレス変換テーブルが配置されるメモリブロックを選べばよい。選んだブロックに対し管理領域を先ずリードして、多重化されている中から有効なアドレス変換テーブル ATT の所在を把握し、これに基づいてアドレス変換テーブル ATT をリードすることになる。そして、リードしたアドレス変換テーブルを検索することによりリード対象の論理アドレスに現在対応するメモリブロックアドレス（BA）を取得する（S80）。

【0067】

カードコントローラ 5 は、メモリブロックアドレス BA に格納されているデータをリードする（S81）。リードデータに対して ECC エラーの判定を行い（S82）、エラーがあれば ECC 訂正処理を行い（S83）、リードデータをホストコンピュータ 6 に向けて出力する。

【0068】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0069】

例えば、消去テーブル、アドレス変換テーブルの多重化数は 4 に限定されず、異なるメモリブロックを用いて多重化数を 2 倍の 8 としてもよい。この時、多重化された複数のテーブルの中で有効とするテーブルの順序は、毎回メモリブロックを相違させるように選択するのがよい。テーブルの書き換えに際し、原メモリブロックに対して新メモリブロックは相違されることになり、テーブルの書き換え中に電源遮断を生じても、原テーブルの内容は消失させずに残す事ができる。

【0070】

また、暗号演算処理は専用の暗号演算回路を用いることに限定されず、CPUと演算プログラムによって実現する事も可能である。暗号演算処理のアルゴリズムは公開鍵で暗号化、秘密鍵で復号化を行うようなRSA暗号方式など適宜の演算アルゴリズムを採用可能である。

【0071】

また、消去処理や書き込み処理は必ずしもワード線単位で無くてもよい。フラッシュメモリは1個のメモリセルで2値データを記憶する構成だけでなく、4値以上の多値情報を記憶する構成であってもよい。不揮発性メモリはフラッシュメモリに限定されず、高誘電体メモリなど、他の記憶形式のメモリであってよいことは言うまでもない。また、カードコントローラのような制御回路はIDEなどのホストインタフェース回路を備えなくてもよく、その機能をホストコンピュータに負担させるように規格化されたメモリカードにも適用可能である。

【0072】**【発明の効果】**

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0073】

すなわち、本発明に係るメモリカードは、データの書き込み前に消去処理をその都度行わなくて済むから、データの書き込み速度を高速化することができる。また、本発明に係るメモリカードは、データを書き換えるとき、原ブロックアドレスと異なるブロックアドレスを書き込み先とするように消去テーブルで書き込みブロックアドレスの管理を行うから、消去途中などで不所望な電源遮断を生じてもデータの回復が可能である。

【図面の簡単な説明】**【図1】**

本発明に係るメモリカードの一例を示すブロック図である。

【図2】

フラッシュメモリの記憶領域を例示する説明図である。

【図 3】

アドレス変換テーブル部の一部例えばブロックアドレスに配置されたアドレス変換テーブルブロックの詳細を例示する説明図である。

【図 4】

消去テーブル部の一部例えばブロックアドレスに配置された消去テーブルブロックの詳細を例示する説明図である。

【図 5】

消去テーブル及びアドレス変換テーブルを利用したメモ리카ードの書き込み動作の処理を例示するフローチャートである。

【図 6】

図 5 の処理における主なデータの流れ等を示す説明図である。

【図 7】

図 5 の処理における主なデータの流れ等を示す説明図である。

【図 8】

メモ리카ードのパワーオン動作に応答して前記プレ消去制御を実行するときのフローチャートである。

【図 9】

所定の専用コマンドに応答して消去可能データの消去を行うときの動作タイミングチャートである。

【図 1 0】

図 9 で説明した前記ライト要求からプレ消去に至る処理のフローチャートである。

【図 1 1】

コマンド処理終了に응答してプレ消去を開始する場合のフローチャートである。

【図 1 2】

セキュリティー機能を内蔵したメモ리카ードを例示するブロック図である。

【図 1 3】

暗号演算処理に並行して消去可能データの消去を行う動作のフローチャートで

ある。

【図 1 4】

図 1 3 の動作のタイミングチャートである。

【図 1 5】

消去可能データ消去処理手順を例示するフローチャートである。

【図 1 6】

消去済みフラグを各メモリブロックの管理領域の 1 ビットに割当ててする場合のメモリアレイを例示する説明図である。

【図 1 7】

管理領域に消去済みフラグをセットする形態を採用したときの消去可能データ消去処理手順を例示するフローチャートである。

【図 1 8】

アドレス変換テーブル部を利用したメモリカードの読み出し動作のフローチャートである。

【符号の説明】

- 1、1 A メモリカード
- 2 フラッシュメモリ
- 4 バッファメモリ
- 5 カードコントローラ
- 6 ホストコンピュータ
- 1 0 ホストインタフェース回路
- 1 1 マイクロプロセッサ
- 1 2 フラッシュコントローラ
- 1 3 バッファコントローラ
- 1 5 CPU
- 1 6 プログラムメモリ
- 1 7 ワークRAM
- 2 0 消去テーブル部
- 2 1 アドレス変換テーブル部

2 2 ユーザエリア

2 3 空きブロック領域

A T T アドレス変換テーブル

E T 消去テーブル

F L G 1 空き情報フラグ

F L G 2 消去済みフラグ

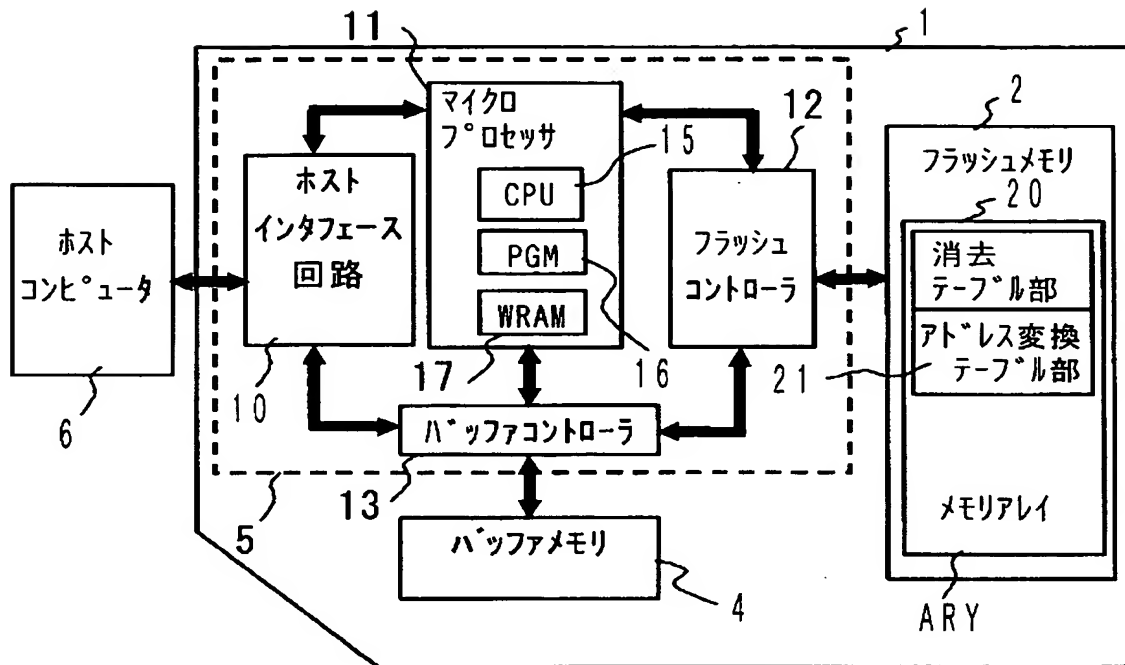
3 0 I Cカードマイコン

3 1 インタフェースコントローラ

【書類名】 図面

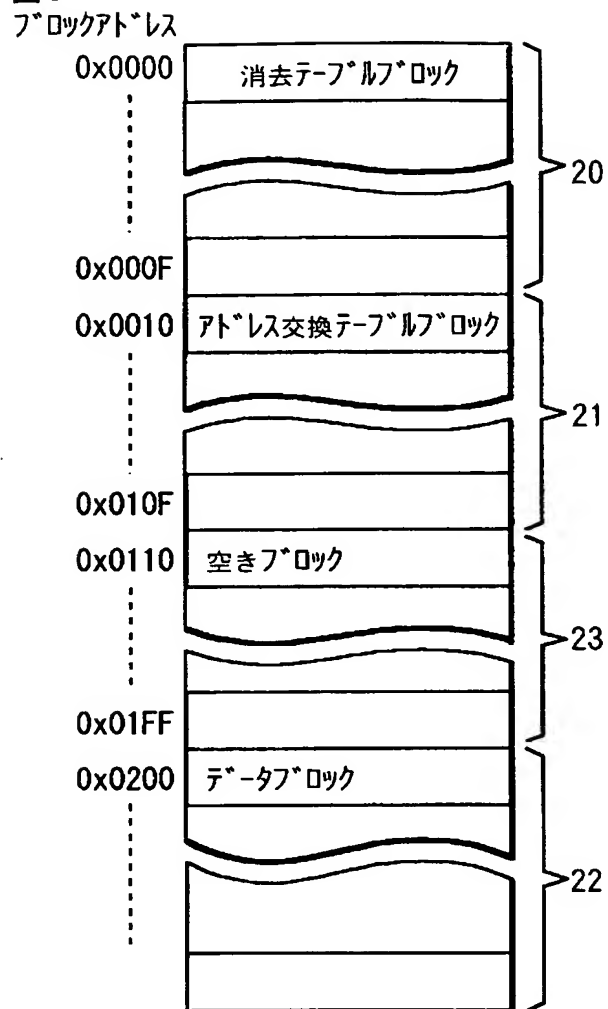
【図 1】

図 1



【図 2】

図 2



【図 3】

図 3

ブロックアドレス

BA55	ATT	消去済	消去済	消去済	アドレス変換テーブルブロック
...					
BAm	LBA-0	LBA-1	LBA-2	LBA-3	
...					
BAn	LBA-4	LBA-5	LBA-6	LBA-7	
...					

アドレス変換テーブル(ATT)

LBA-0~3	LBA-4~7	...
WP(1bit) BAm(15bit)	WP(1bit) BAn(15bit)	...

【図 4】

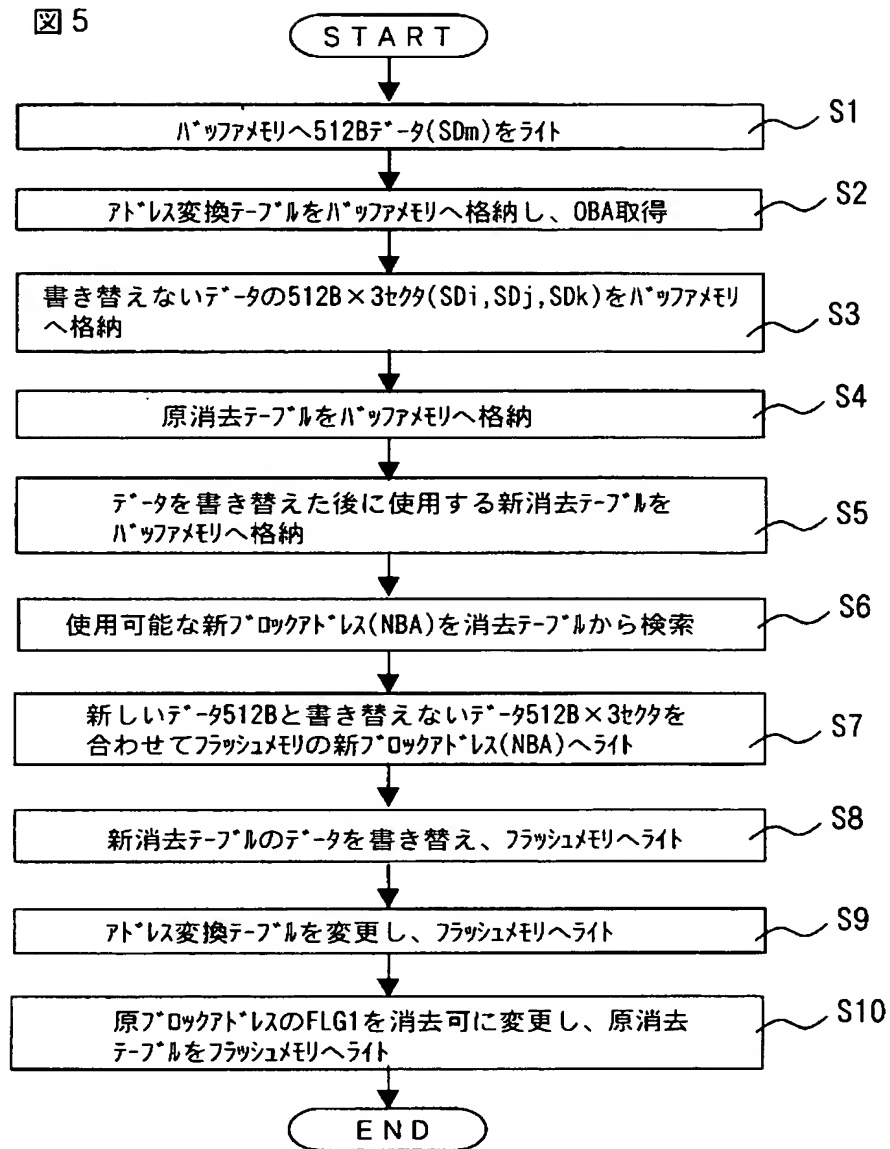
図 4

BA0	ET	消去済	消去済	消去済	消去テーブルブロック
...					
BAi	消去可能ブロック(消去済み)				
...					
BAj	不良ブロック				
...					

消去テーブル(ET)

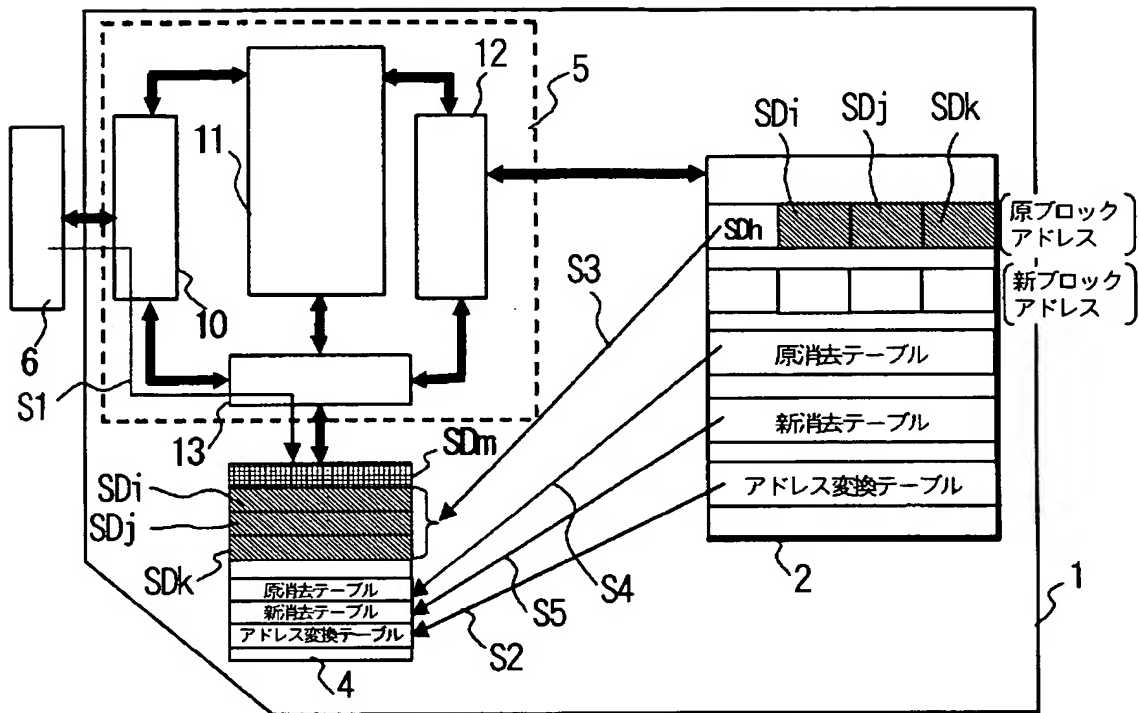
BA0 の FLG1	BA0 の FLG2	...	BAi の FLG1	BAi の FLG2	...
0	0		1	1	

【図 5】



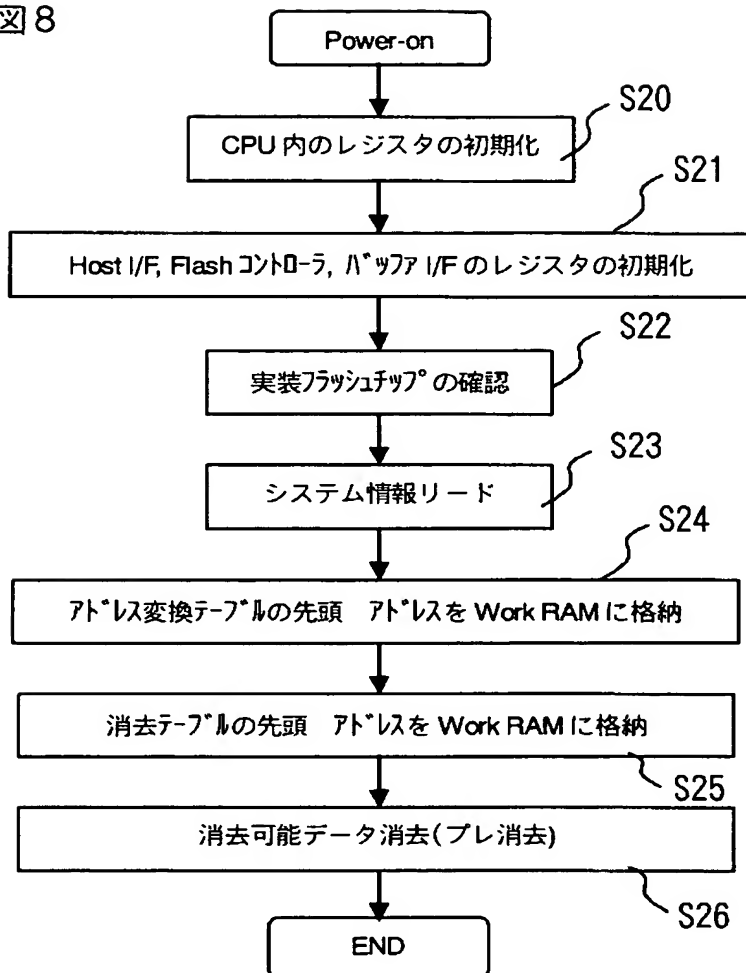
【図 6】

図 6

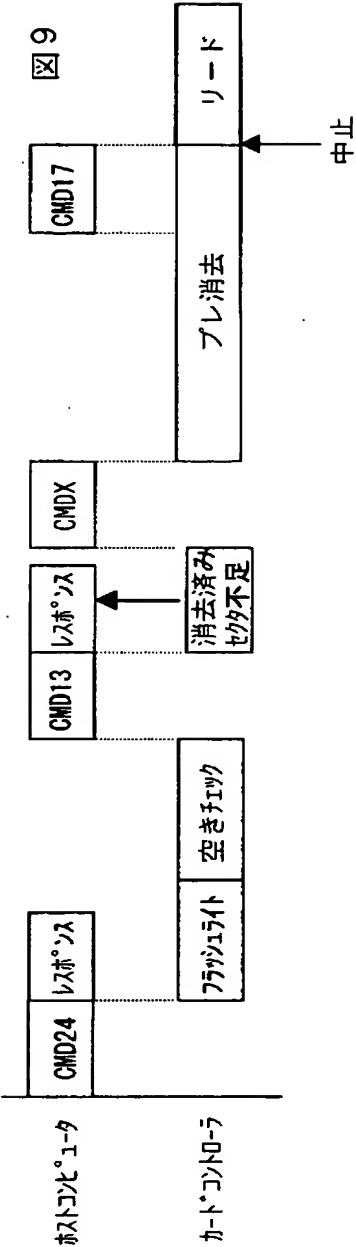


【図 8】

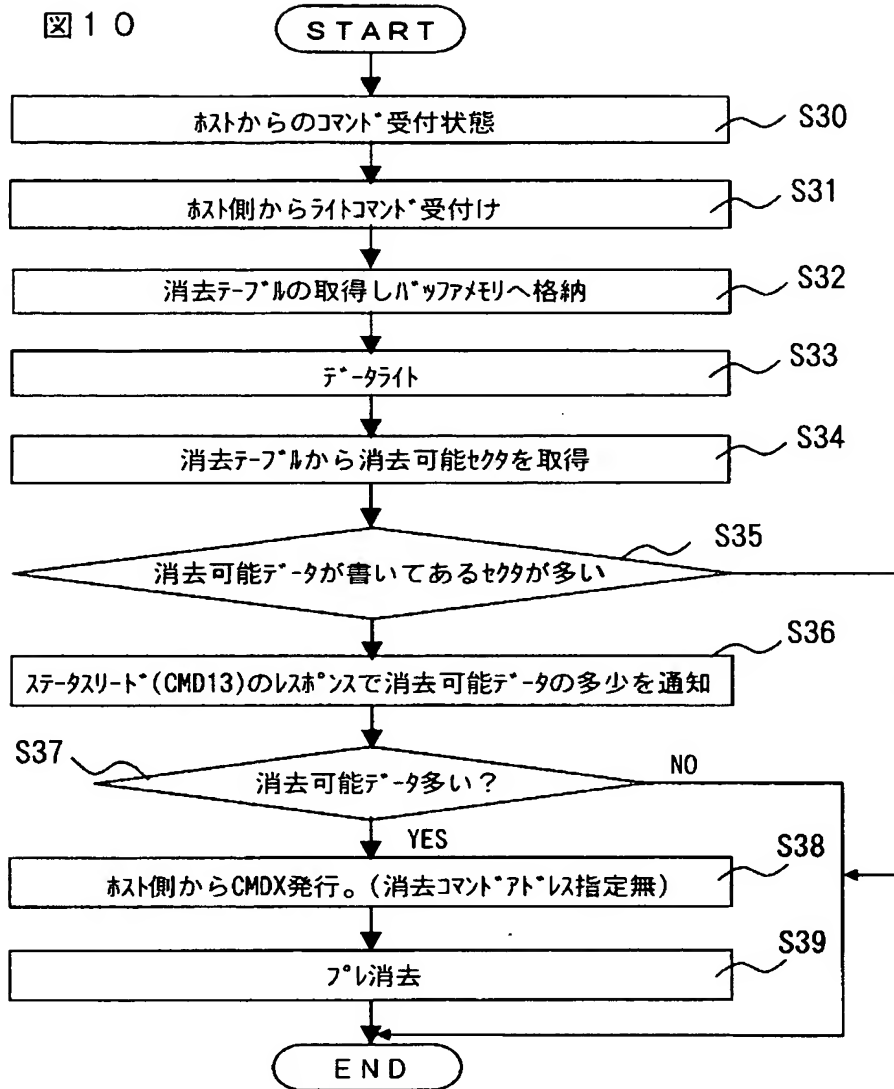
図 8



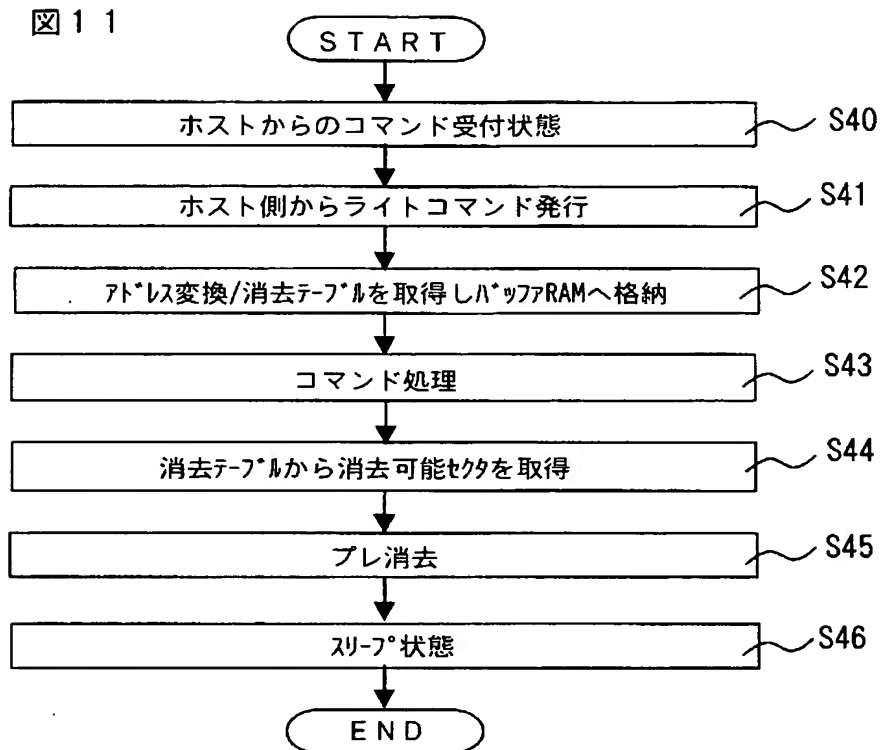
【図 9】



【図 10】

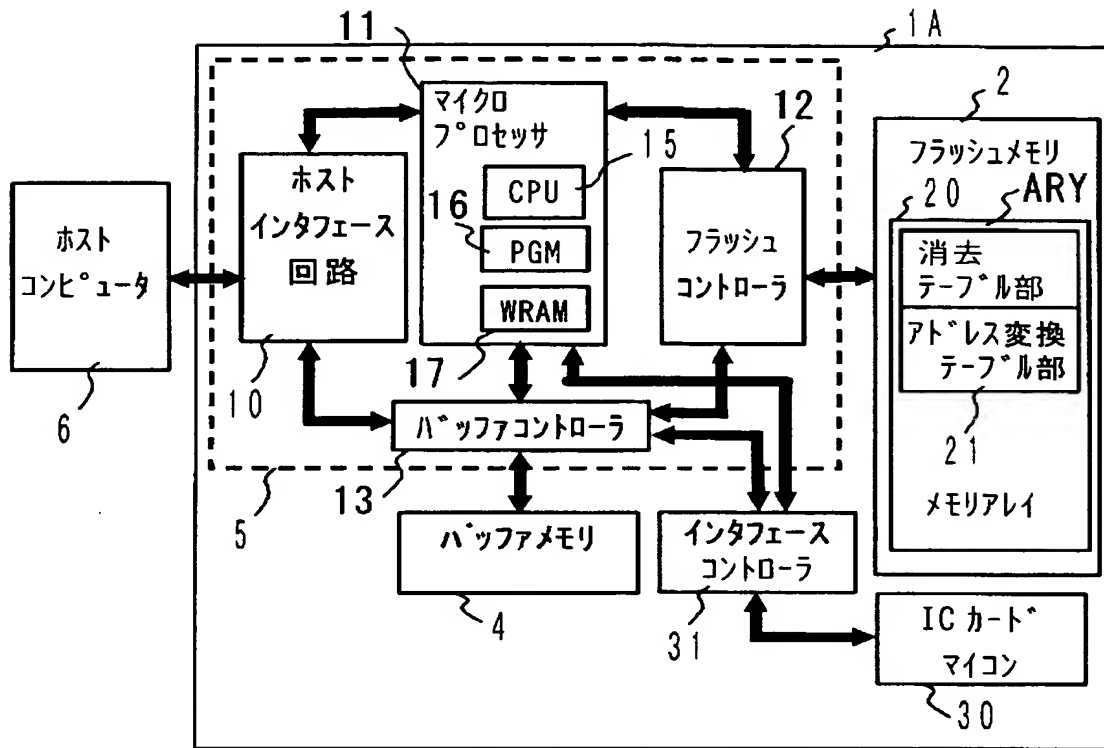


【図 11】



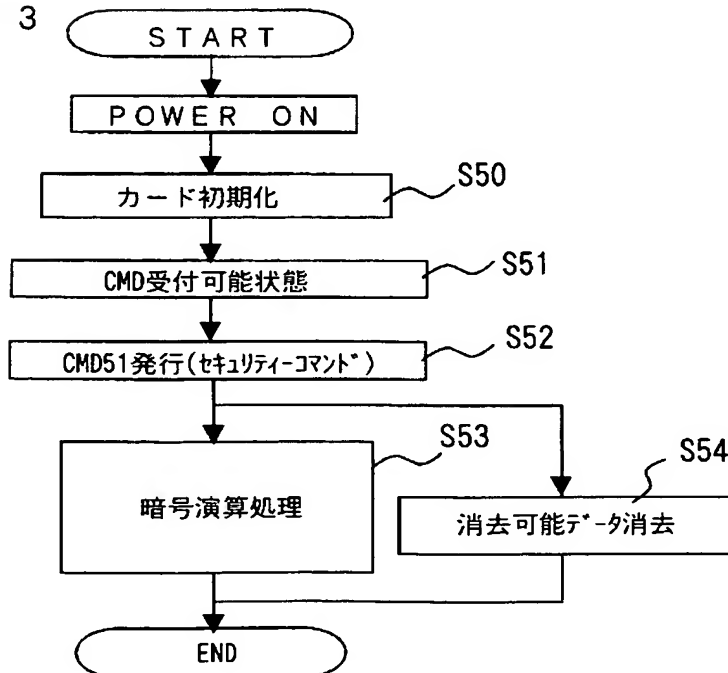
【図 12】

図 12



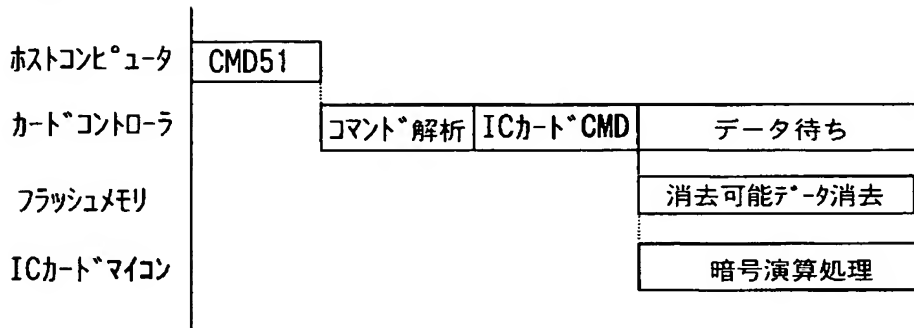
【図 13】

図 13

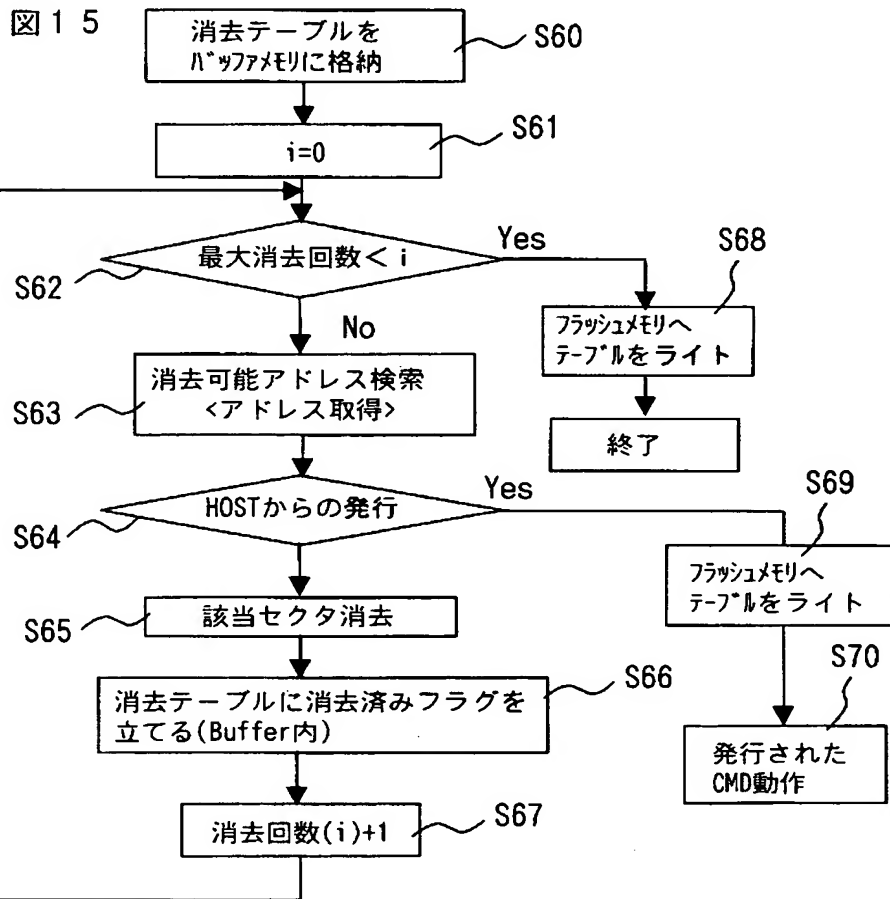


【図 14】

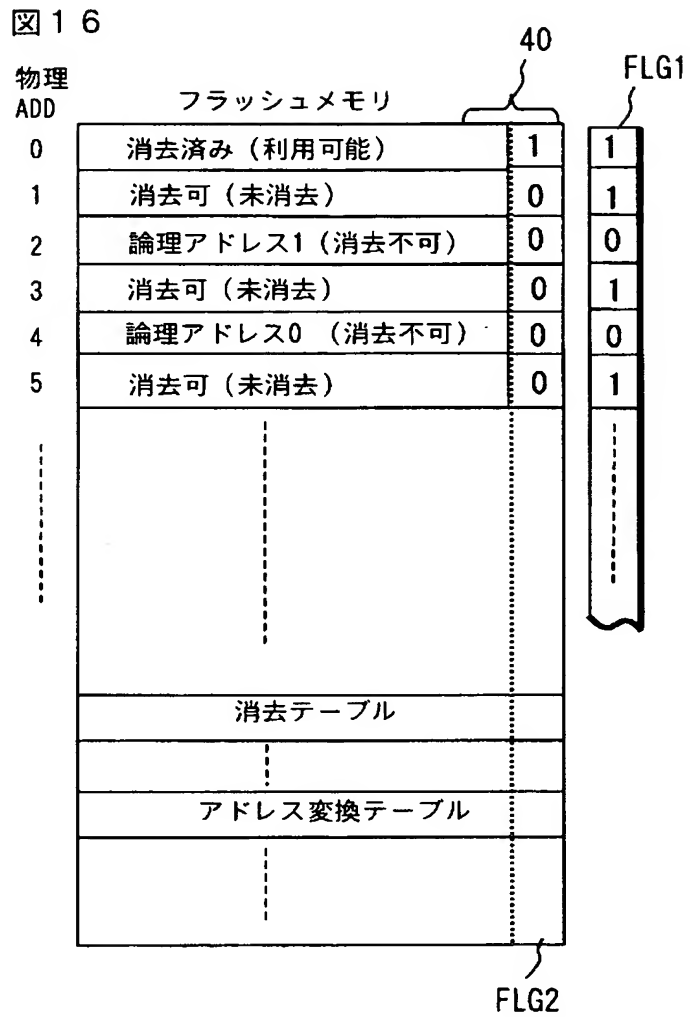
図 14



【図 15】

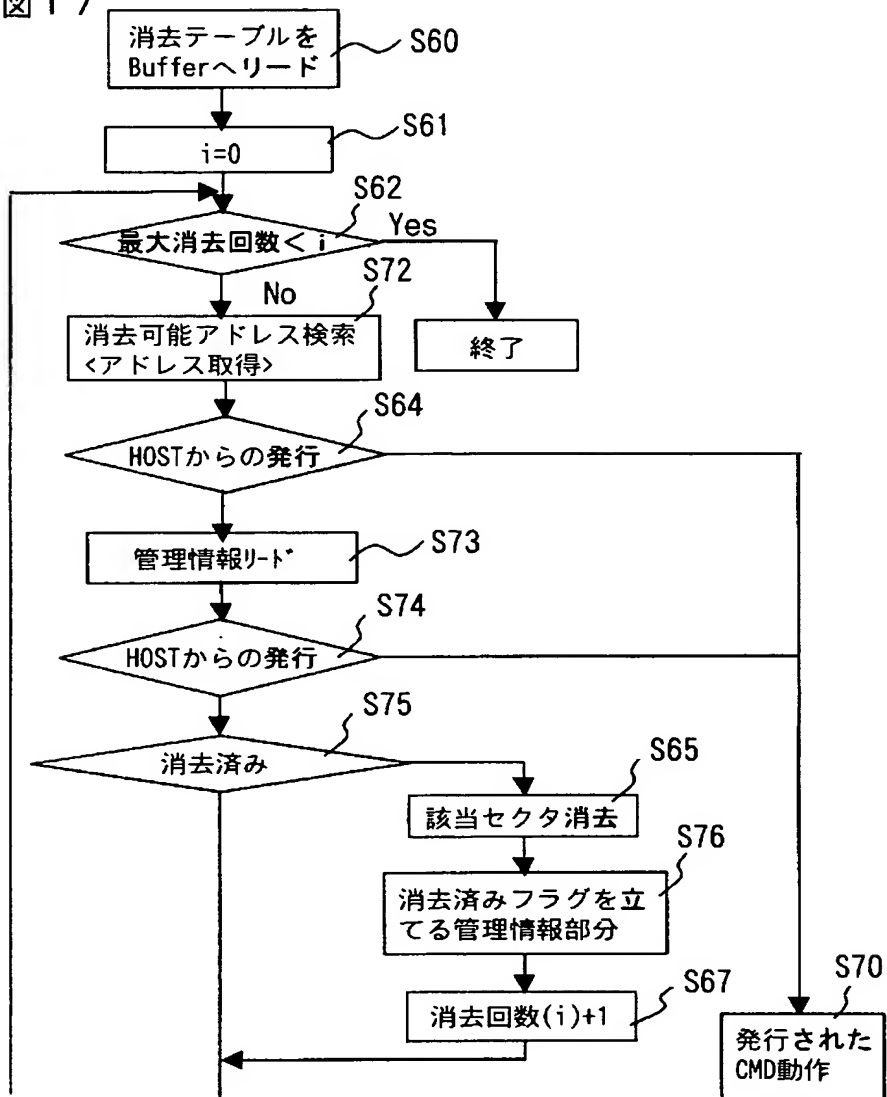


【図 16】



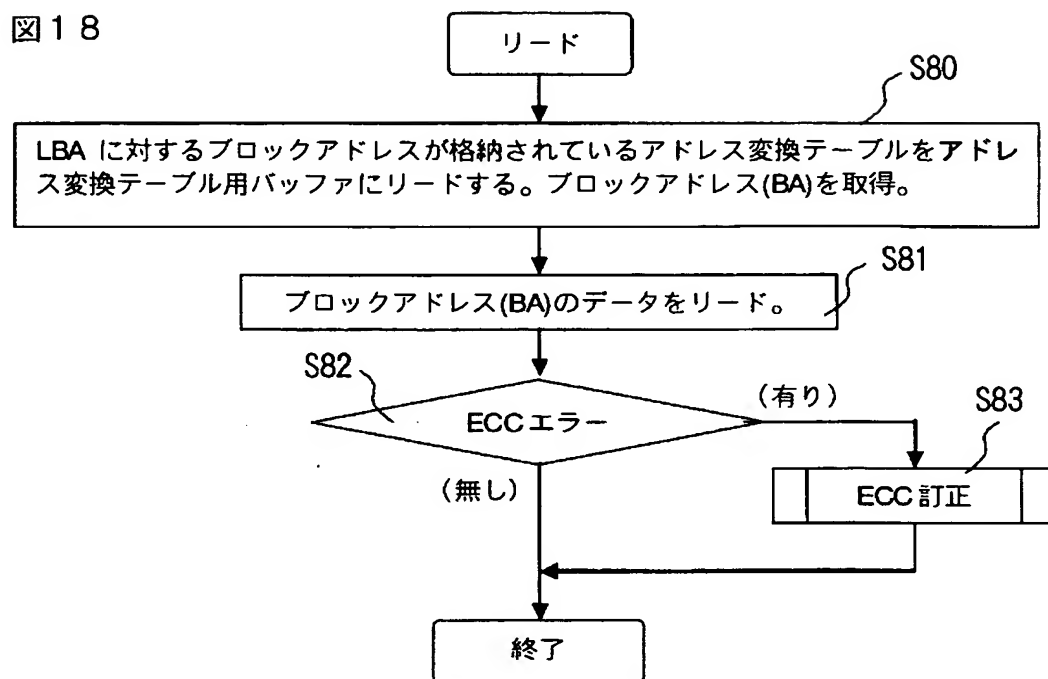
【図 17】

図 17



【図 18】

図 18





【書類名】 要約書

【要約】

【課題】 データの書き込み速度を高速化することができるメモリカードを提供する。

【解決手段】 メモリカード（１）は、消去及び書き込み可能な不揮発性メモリ（２）と、制御回路（５）とを有する。前記不揮発性メモリのメモリアレイは、そのメモリ領域の消去単位毎に空き領域か否かを示す第１フラグを有する消去テーブルを備える。前記制御回路は、例えば消去可能データが書かれているメモリ領域の数がある一定数となった時、空きを示す第１フラグに応ずるメモリ領域に対して消去可能データを予め消去するプレ消去制御を行う。空きメモリ領域に対して予め消去処理が行われるから、空きメモリ領域を用いる書き込み処理の直前に消去処理を挿入する必要性が低減され、これによって、メモリカードに対するデータの書き込み速度を高速化することができる。

【選択図】 図 1



特願 2 0 0 3 - 1 0 3 5 6 0

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ